

日本国特許
PATENT OFFICE
JAPANESE GOVERNMENT

#2
P.B. X
5/25/01



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application:

2000年 6月27日

出願番号
Application Number:

特願2000-192228

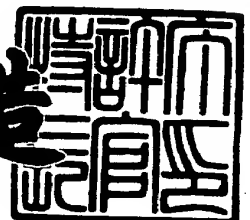
出願人
Applicant(s):

富士通株式会社

2000年11月17日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2000-3096708

【書類名】 特許願

【整理番号】 0000385

【提出日】 平成12年 6月27日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/00

【発明の名称】 半導体集積回路および半導体集積回路の初期化方法

【請求項の数】 6

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 穂吉 秀雄

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100072718

【弁理士】

【氏名又は名称】 古谷 史旺

【電話番号】 3343-2901

【手数料の表示】

【予納台帳番号】 013354

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9704947

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路および半導体集積回路の初期化方法

【特許請求の範囲】

【請求項 1】 タイミングの異なる複数の副パワーオンリセット信号をそれぞれ生成する副リセット信号生成回路と、

内部回路を初期化するための主パワーオンリセット信号を、前記副パワーオンリセット信号の少なくともいずれかに基づいて生成する主リセット信号生成回路とを備えていることを特徴とする半導体集積回路。

【請求項 2】 請求項 1 記載の半導体集積回路において、

前記主リセット信号生成回路は、前記各副パワーオンリセット信号の遷移エッジに同期してそれぞれパルスを生成する複数のパルス生成回路と、前記パルスを合成して前記主パワーオンリセット信号を生成する合成回路とを有することを特徴とする半導体集積回路。

【請求項 3】 副パワーオンリセット信号を生成する副リセット信号生成回路と、

外部パワーオンリセット信号を受けるリセット端子と、

内部回路を初期化するための主パワーオンリセット信号を、前記副パワーオンリセット信号および前記外部パワーオンリセット信号の少なくともいずれかに基づいて生成する主リセット信号生成回路とを備えていることを特徴とする半導体集積回路。

【請求項 4】 タイミングの異なる複数の副パワーオンリセット信号をそれぞれ生成する副リセット信号生成回路と、

外部パワーオンリセット信号を受けるリセット端子と、

内部回路を初期化するための主パワーオンリセット信号を、前記副パワーオンリセット信号および前記外部パワーオンリセット信号の少なくともいずれかに基づいて生成する主リセット信号生成回路とを備えていることを特徴とする半導体集積回路。

【請求項 5】 請求項 3 または請求項 4 記載の半導体集積回路において、前記主リセット信号生成回路は、前記副パワーオンリセット信号および前記外

部パワーオンリセット信号の遷移エッジに同期してそれぞれパルスを生成する複数のパルス生成回路と、前記パルスを合成して前記主パワーオンリセット信号を生成する合成回路とを有することを特徴とする半導体集積回路。

【請求項6】 タイミングの異なる複数の副パワーオンリセット信号に基づいて、複数のパワーオンリセット信号をそれぞれ生成し、

前記パワーオンリセット信号のいずれかに基づいて内部回路を初期化すること
を特徴とする半導体集積回路の初期化方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、パワーオンリセット回路を有する半導体集積回路および半導体集積回路の初期化方法に関する。

【0002】

【従来の技術】

一般に、半導体集積回路は、パワーオンリセット信号を生成するパワーオンリセット回路を内蔵している。電源の立ち上げ時にパワーオンリセット信号を生成し、内部回路を初期化することで、半導体集積回路の誤動作が防止される。この種のパワーオンリセット回路は、トランジスタの閾値を利用して、電源電圧が所定の値まで上昇したことを検出し、パワーオンリセット信号の論理レベルを変化（非活性化）させている。内部回路は、パワーオンリセット信号のレベルが変化するまでの活性化期間に初期化され、パワーオンリセット信号の非活性化後に通常動作を開始する。

【0003】

【発明が解決しようとする課題】

近時、半導体集積回路は、トランジスタ構造の微細化が進んでいる。トランジスタのチャネル長が短くなることで、短チャネル効果により、トランジスタの閾値の変動幅が大きくなる。トランジスタの閾値は、短チャネル効果以外にも、半導体集積回路の製造条件の変動の他、ウェハ上でのチップの位置、製造ロット内でのウェハの位置に依存して変動する。閾値の変動幅が大きくなることで、パワ

ーオンリセット信号は、非活性化タイミングのずれ量が大きくなる。

【0004】

また、半導体集積回路の動作電圧が低くなってきており、外部から供給される電源電圧も低くなっている。トランジスタの閾値は、電源電圧にほとんど依存しないため、電源電圧に対するトランジスタの閾値の比率は大きくなる。この結果、上述と同様に、パワーオンリセット信号の非活性化タイミングのずれ量が大きくなる。

【0005】

この結果、例えば、パワーオンリセット信号の非活性化タイミングが早い側にずれた場合、内部回路を初期化するために必要なリセット期間が短くなり、内部回路が正常に初期化されないおそれがある。パワーオンリセット信号の非活性化タイミングが遅い側にずれた場合、パワーオンリセット信号が論理レベルが変化しないおそれがある。このとき、パワーオンリセット信号は常に活性化状態になる。このため、内部回路は、常に初期化状態になり、正常に動作しない。

【0006】

本発明の目的は、トランジスタの特性によらず、パワーオンリセット信号を確実に発生させ、内部回路を初期化することにある。

【0007】

【課題を解決するための手段】

請求項1の半導体集積回路は、複数の副リセット信号生成回路と、主リセット信号生成回路とを備えている。副リセット信号生成回路は、タイミングの異なる副パワーオンリセット信号をそれぞれ生成する。主リセット信号生成回路は、副パワーオンリセット信号の少なくともいずれかに基づいて、主パワーオンリセット信号を生成する。このため、半導体集積回路の製造条件の変動等により、半導体集積回路を構成する素子の特性が変動した場合にも、副パワーオンリセット信号のいずれかは、正常なタイミングで生成される。この結果、主リセット信号生成回路は、正常な副パワーオンリセット信号を用いて主パワーオンリセット信号を生成できる。すなわち、動作余裕の広いパワーオンリセット回路を構成でき、内部回路を確実に初期化できる。

【 0 0 0 8 】

請求項 2 の半導体集積回路では、主リセット信号生成回路は、各副パワーオンリセット信号に対応するパルス生成回路を有している。パルス生成回路は、副パワーオンリセット信号の遷移エッジに同期してそれぞれパルスを生成する。主パワーオンリセット信号は、これ等パルスを合成して容易に生成される。

請求項 3 の半導体集積回路は、副パワーオンリセット信号を生成する副リセット信号生成回路と、主リセット信号生成回路とを備えている。主リセット信号生成回路は、副パワーオンリセット信号およびリセット端子を介して供給される外部パワーオンリセット信号の少なくともいずれかに基づいて、主パワーオンリセット信号を生成する。すなわち、副パワーオンリセット信号だけでなく、リセット端子を介して供給される外部パワーオンリセット信号を用いて主パワーオンリセット信号を生成でき、内部回路を確実に初期化できる。

【 0 0 0 9 】

請求項 4 の半導体集積回路は、複数の副リセット信号生成回路と、主リセット信号生成回路とを備えている。副リセット信号生成回路は、タイミングの異なる副パワーオンリセット信号をそれぞれ生成する。主リセット信号生成回路は、複数の副パワーオンリセット信号およびリセット端子を介して供給される外部パワーオンリセット信号の少なくともいずれかに基づいて、主パワーオンリセット信号を生成する。すなわち、主リセット信号生成回路は、複数のパワーオンリセット信号のうち正常な信号を用いて主パワーオンリセット信号を生成できる。

【 0 0 1 0 】

請求項 5 の半導体集積回路では、主リセット信号生成回路は、副パワーオンリセット信号および外部パワーオンリセット信号の遷移エッジに同期してそれぞれパルスを生成する。主パワーオンリセット信号は、これ等パルスを合成して容易に生成される。

請求項 6 の半導体集積回路の初期化方法では、タイミングの異なる副パワーオンリセット信号に基づいて、複数のパワーオンリセット信号がそれぞれ生成される。そして、これ等パワーオンリセット信号のいずれかに基づいて内部回路が確実に初期化される。

【 0 0 1 1 】

【 発 明 の 実 施 の 形 態 】

以下、本発明の実施形態を図面を用いて説明する。

図 1 は、本発明の半導体集積回路の第 1 の実施形態におけるパワーオンリセット回路を示している。この実施形態は、請求項 1、請求項 2、および請求項 6 に対応している。

【 0 0 1 2 】

この半導体集積回路は、シリコン基板上に CMOS プロセス技術を使用して SRAM コアを有するセルベース IC あるいはシステム LSI として形成されている。

パワーオンリセット回路は、副リセット信号生成回路 1 0、1 2 と、主リセット信号生成回路 1 4 とを有している。主リセット信号生成回路 1 4 は、副リセット信号生成回路 1 0、1 2 にそれぞれ対応するパルス生成回路 1 6、1 8 と、パルス生成回路 1 6、1 8 の出力を受ける合成回路 2 0 とを有している。

【 0 0 1 3 】

副リセット信号生成回路 1 0、1 2 は、それぞれパワーオンリセット信号 PORH、PORL を生成している。パワーオンリセット信号 PORH は、トランジスタの閾値が高いときに、最適なタイミングで生成され、パワーオンリセット信号 PORL は、トランジスタの閾値が低いときに、最適なタイミングで生成される。

パルス生成回路 1 6、1 8 は、直列に接続された遅延回路 2 2、インバータ 2 4 と、インバータ 2 4 の出力および入力信号（パワーオンリセット信号 PORH、PORL）を受ける NAND ゲート 2 6 とで構成されている。パルス生成回路 1 6 では、遅延回路 2 2 は、遅延パワーオンリセット信号 PORHD を出力し、インバータ 2 4 は、遅延パワーオンリセット信号 PORHD を反転した遅延パワーオンリセット信号 /PORHD を出力している。パルス生成回路 1 8 では、遅延回路 2 2 は、遅延パワーオンリセット信号 PORLD を出力し、インバータ 2 4 は、遅延パワーオンリセット信号 PORLD を反転した遅延パワーオンリセット信号 /PORLD を出力している。パルス生成回路 1 6、1 8 は、入力信号の立ち上がりエッジに同期して、それぞれ低レベルのパルス PLSH、PLSL を生成する。

【 0 0 1 4 】

合成回路 20 は、負論理の OR 回路で構成されている。合成回路 20 は、パルス PLSH、PLSL を受け、パワーオンリセット信号 POR を生成する。パワーオンリセット信号 POR は、半導体集積回路の所定の内部回路に供給され、この内部回路を初期化する。換言すれば、内部回路は、パルス PLSH、PLSL のいずれかにより初期化される。すなわち、パルス PLSH、PLSL は、パルス化されたパワーオンリセット信号として作用する。

【0015】

図 2 は、副リセット信号生成回路 10、12 の詳細を示している。

副リセット信号生成回路 10（または 12）は、電源線 VCC と接地線 VSS との間に、ノード ND1 を介して直列に接続された pMOS トランジスタ 28、抵抗 30 と、3 つのインバータが直列に接続されたインバータ列 32 とを有している。インバータ列 32 は、入力をノード ND1 に接続し、ノード ND1 の論理レベルを反転して、パワーオンリセット信号 PORH（または PORL）として出力している。

【0016】

図 3 は、電源の立ち上げ時における上述したパワーオンリセット回路の動作を示している。

図 3（1）、（2）、（3）は、それぞれ、pMOS トランジスタの閾値が低い場合（low）、標準の場合（typ.）、高い場合（High）を示している。

図 3（1）では、pMOS トランジスタの閾値が低いため、図 1 に示した副リセット信号生成回路 10 が生成するパワーオンリセット信号 PORH は、活性化期間（低レベル期間）がほとんどない（図 3（a））。遅延回路 22 は、パワーオンリセット信号 PORH を所定時間遅延させた遅延信号 PORHD を出力する（図 3（b））。インバータ 24 は、遅延信号 PORHD を反転し、反転信号 /PORHD を出力する（図 3（c））。NAND ゲート 26 は、パワーオンリセット信号 PORH と反転信号 /PORHD とからパルス PLSH を生成する（図 3（d））。すなわち、パワーオンリセット信号 PORH の立ち上がりエッジに同期してパルス PLSH が生成される。

【0017】

一方、副リセット信号生成回路 12 は、pMOS トランジスタの閾値が低いとき、最適なタイミングのパワーオンリセット信号 PORL を生成する（図 3（e））。こ

の後、パルス生成回路 1 8 は、上述したパルス生成回路 1 6 と同様に、遅延信号 PORLD、反転信号/PORLD、およびパルス信号 PLSL を生成する（図 3（f））。合成回路 2 0 は、パルス信号 PLSH、PLSL から、2 つのリセットパルスを有するパワーオンリセット信号 POR を生成する（図 3（g））。

【0 0 1 8】

万一、pMOS トランジスタの閾値がさらに低く、パルス生成回路 1 6 がパルス PLSH を生成できないときにも、パルス生成回路 1 8 が生成するパルス PLSL により、1 つのリセットパルスを有するパワーオンリセット信号 POR が生成されるため、内部回路は、確実に初期化される。

図 3（2）では、図 3（1）と同様にパルス PLSH、PLSL が合成され、パワーオンリセット信号 POR が生成される（図 3（h））。

【0 0 1 9】

図 3（3）では、pMOS トランジスタの閾値が高いため、副リセット信号生成回路 1 2 は、パワーオンリセット信号 PORL を非活性化できない（図 3（i））。このため、パルス生成回路 1 8 は、リセットパルスを生成できない（図 3（j））。パルス生成回路 1 6 は、図 3（1）と同様に、パワーオンリセット信号 PORH からパルス PLSH を生成する（図 3（k））。そして、パルス PLSH により 1 つのリセットパルスを有するパワーオンリセット信号 POR が生成される（図 3（m））。

【0 0 2 0】

このように、トランジスタの閾値が変動した場合にも、この影響を受けることなく、確実にパワーオンリセット信号 POR が生成され、内部回路が初期化される。換言すれば、パワーオンリセット回路の動作余裕が従来に比べ大幅に増大する。

以上、本実施形態の半導体集積回路では、パワーオンリセット信号 PORH、PORL の少なくともいずれかを用いて、確実にパワーオンリセット信号 POR を生成でき、内部回路を確実に初期化できる。すなわち、動作余裕の広いパワーオンリセット回路を構成でき、内部回路を確実に初期化できる。

【0 0 2 1】

パワーオンリセット信号 PORH、PORL の立ち上がりエッジに同期して、それぞれ

パルスPLSH、PLSLを生成し、これ等パルスPLSH、PLSLを合成してパワーオンリセット信号PORを生成した。このため、生成タイミング（非活性化タイミング）の異なるパワーオンリセット信号PORH、PORLから容易にパワーオンリセット信号PORを生成できる。

【 0 0 2 2 】

また、生成タイミングの異なるパワーオンリセット信号PORH、PORLに基づいて、パワーオンリセット信号であるパルスPLSH、PLSLを生成したので、これ等パルスPLSH、PLSLのいずれかに基づいて内部回路を確実に初期化できる。

図 4 は、本発明の半導体集積回路の第 2 の実施形態を示している。この実施形態は、請求項 3、請求項 5、および請求項 6 に対応している。第 1 の実施形態で説明した回路・信号と同一の回路・信号については、同一の符号を付し、これ等については、詳細な説明を省略する。

【 0 0 2 3 】

この実施形態のパワーオンリセット回路の機能は、SRAMマクロ内に含まれている。そして、ユーザが設計するデバイスにSRAMが含まれるときに、このSRAMマクロが使用され、半導体集積回路上にSRAMおよびパワーオンリセット回路が配置される。

パワーオンリセット回路は、1つの副リセット信号生成回路34と主リセット信号生成回路14を有している。主リセット信号生成回路14は、第1の実施形態と同一である。副リセット信号生成回路34は、トランジスタの閾値が標準のときに、最適なタイミングのパワーオンリセット信号POR0を生成する。パルス生成回路16は、パワーオンリセット信号POR0を受け、パルスPLS0を生成する。パルス生成回路18は、リセット端子RESETを介して、パワーオンリセット回路の外部からパワーオンリセット信号POREを受け、パルスPLSEを生成する。合成回路20は、パルスPLS0、PLSEを合成し、パワーオンリセット信号PORを生成する。

【 0 0 2 4 】

この実施形態では、半導体集積回路上に搭載される他の機能回路からパワーオンリセット信号を受ける場合、あるいは半導体集積回路の外部からパワーオンリセット信号を受ける場合に、パワーオンリセット信号POR0、POREを用いてパワー

オンリセット信号PORが生成される。すなわち、半導体集積回路上に搭載される他の機能回路、あるいは半導体集積回路の外部からのパワーオンリセット信号が、パワーオンリセット信号POREとして、主リセット信号生成回路14に供給される。

【0025】

パワーオンリセット回路の外部からパワーオンリセット信号POREを受けない場合、リセット端子RESETは、例えばプルアップされ、パルスPLSEは、常に高レベルになる。このとき、パワーオンリセット信号PORは、パワーオンリセット信号POR0のみを用いて生成される。

この実施形態においても、上述した第1の実施形態と同様の効果を得ることができる。さらに、この実施形態では、SRAMが搭載されるデバイスの仕様に応じて、パワーオンリセット信号POR0、POREの少なくともいずれかを使用してパワーオンリセット信号PORを確実に生成でき、内部回路を確実に初期化できる。

【0026】

図5は、本発明の半導体集積回路の第3の実施形態を示している。この実施形態は、請求項4、請求項5、および請求項6に対応している。第1および第2の実施形態で説明した回路・信号と同一の回路・信号については、同一の符号を付し、これ等については、詳細な説明を省略する。

この実施形態のパワーオンリセット回路の機能は、第2の実施形態と同様に、SRAMマクロ内に含まれている。

【0027】

パワーオンリセット回路は、2つの副リセット信号生成回路10、12と主リセット信号生成回路36を有している。主リセット信号生成回路36は、副リセット信号生成回路10、12にそれぞれ対応するパルス生成回路16、18と、リセット端子RESETを介してパワーオンリセット回路の外部からパワーオンリセット信号POREを受けるパルス生成回路38と、パルス生成回路16、18、36の出力を受ける合成回路40とを有している。

【0028】

副リセット信号生成回路10、12およびパルス生成回路16、18は、第1

の実施形態と同一である。パルス生成回路 3 6 は、パルス生成回路 1 6 と同一の回路である。合成回路 4 0 は、負論理の OR 回路で構成されている。合成回路 4 0 は、パルス PLSH、PLSL、PLSE を受け、パワーオンリセット信号 POR を生成する。

【0 0 2 9】

すなわち、この実施形態では、第 2 の実施形態と同様に、パワーオンリセット回路の内部で生成するパワーオンリセット信号 PORH、PORL、およびパワーオンリセット回路の外部から供給されるパワーオンリセット信号 PORE の少なくともいずれかを用いてパワーオンリセット信号 POR を生成される。

パワーオンリセット回路の外部からパワーオンリセット信号を受けない場合、リセット端子 RESET は、例えばプルアップされ、パルス PLSE は、常に高レベルになる。このとき、パワーオンリセット信号 POR は、第 1 の実施形態と同様に、パワーオンリセット信号 PORH、PORL のいずれかを用いて生成される。

【0 0 3 0】

この実施形態においても、上述した第 1 および第 2 の実施形態と同様の効果を得ることができる。

なお、上述した第 1 の実施形態では、本発明を SRAM コアを有する半導体集積回路に適用した例について述べた。本発明はかかる実施形態に限定されるものではなく、一般に、初期化が必要な内部回路を有する半導体集積回路に適用できる。

【0 0 3 1】

以上、本発明について詳細に説明してきたが、上記の実施形態およびその変形例は発明の一例に過ぎず、本発明はこれに限定されるものではない。本発明を逸脱しない範囲で変形可能であることは明らかである。

【0 0 3 2】

【発明の効果】

請求項 1、請求項 3、請求項 4 の半導体集積回路では、複数のパワーオンリセット信号のうち正常な信号を用いて主パワーオンリセット信号を生成できる。すなわち、動作余裕の広いパワーオンリセット回路を構成でき、内部回路を確実に初期化できる。

【0 0 3 3】

請求項 2 および請求項 5 の半導体集積回路では、副パワーオンリセット信号の遷移エッジに同期してされるパルスを合成して、主パワーオンリセット信号を容易に生成できる。

請求項 6 の半導体集積回路の初期化方法では、複数のパワーオンリセット信号のいずれかに基づいて内部回路を確実に初期化できる。

【図面の簡単な説明】

【図 1】

本発明の半導体集積回路の第 1 の実施形態におけるパワーオンリセット回路を示すブロック図である。

【図 2】

図 1 の副リセット信号生成回路の詳細を示す回路図である。

【図 3】

図 1 のパワーオンリセット回路の動作を示すタイミング図である。

【図 4】

本発明の半導体集積回路の第 2 の実施形態におけるパワーオンリセット回路を示すブロック図である。

【図 5】

本発明の半導体集積回路の第 3 の実施形態におけるパワーオンリセット回路を示すブロック図である。

【符号の説明】

- 1 0、1 2 副リセット信号生成回路
- 1 4 主リセット信号生成回路
- 1 6、1 8 パルス生成回路
- 2 0 合成回路
- 2 2 遅延回路
- 2 4 インバータ
- 2 6 NANDゲート
- 2 8 pMOSトランジスタ
- 3 0 抵抗

3 2 インバータ列

3 4 副リセット信号生成回路

3 6 主リセット信号生成回路

3 8 パルス生成回路

4 0 合成回路

POR パワーオンリセット信号

POR0、PORE パワーオンリセット信号

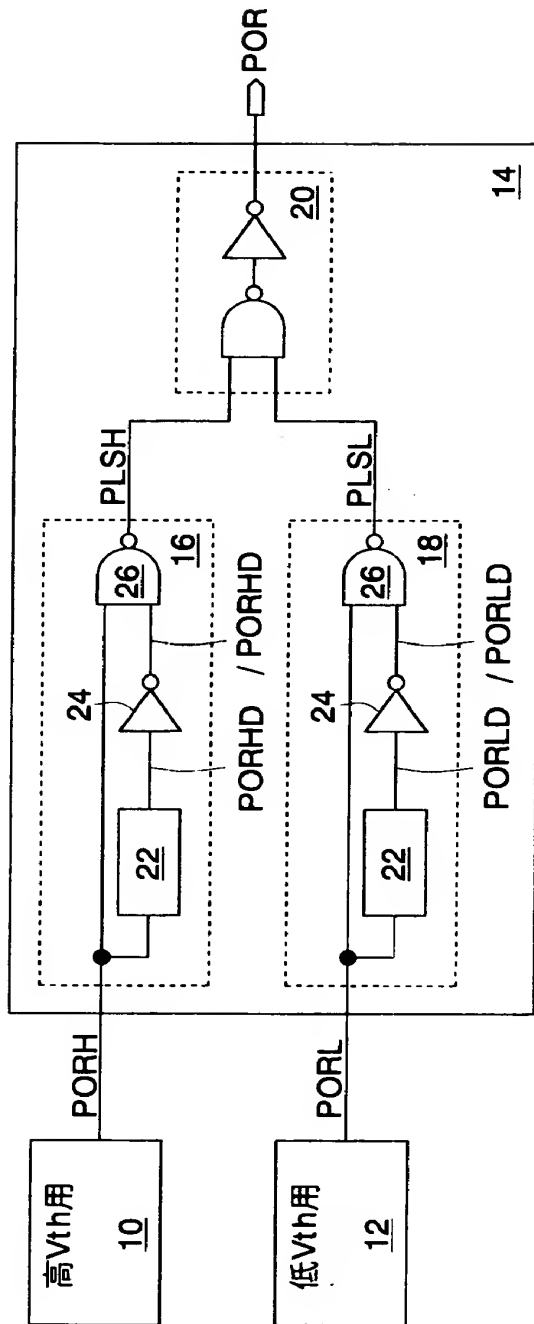
PORH、PORL パワーオンリセット信号

PLS0、PLSE、PLSH、PLSL パルス

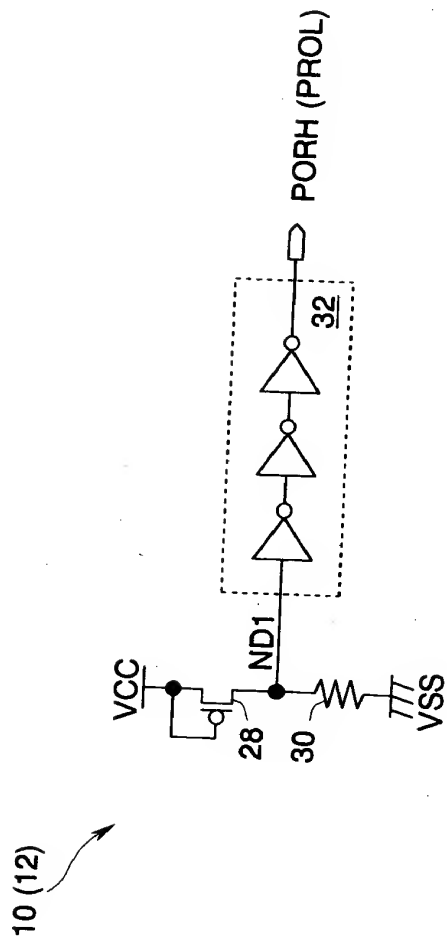
RESET リセット端子

【書類名】 図面

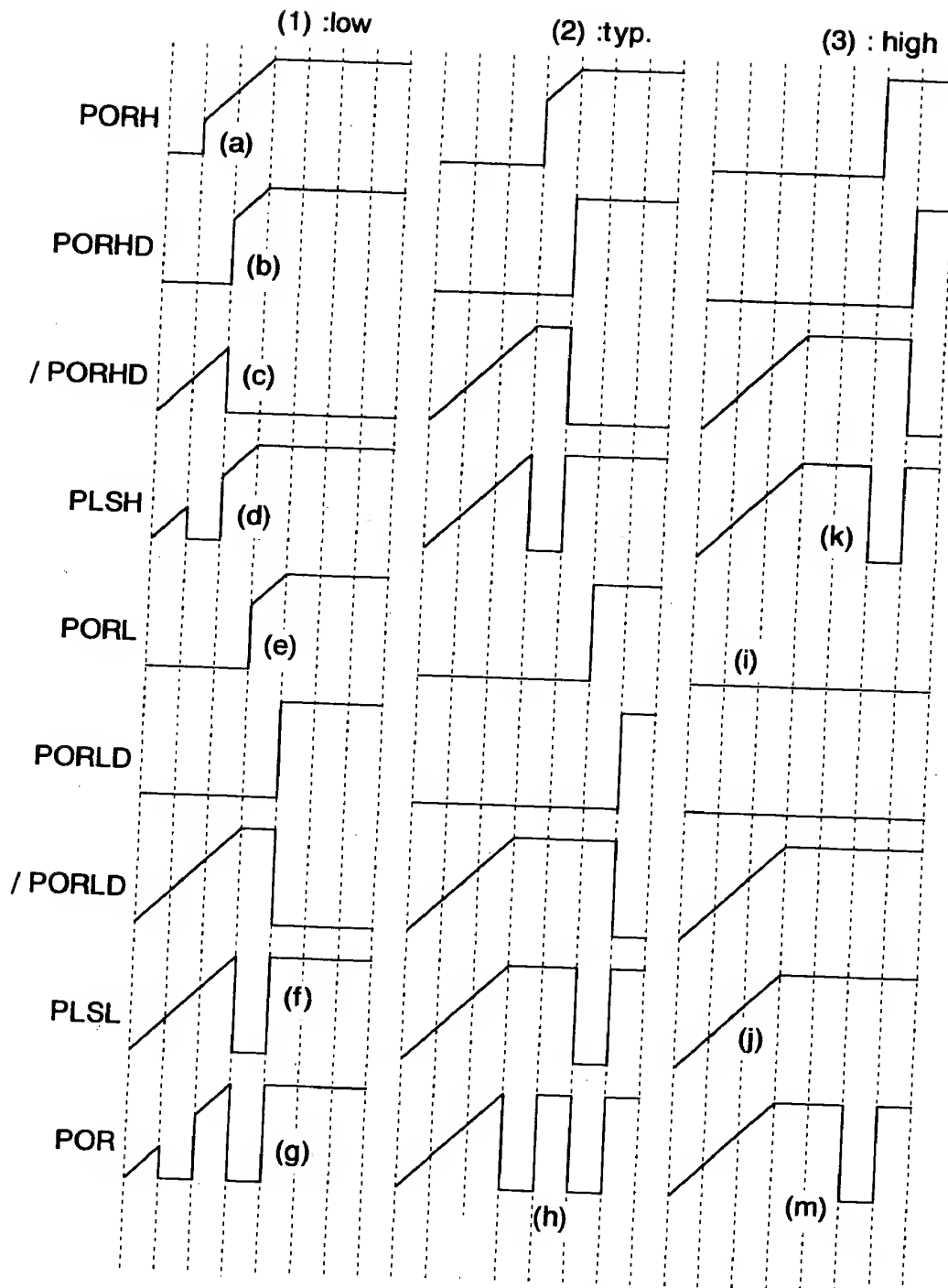
【図 1】



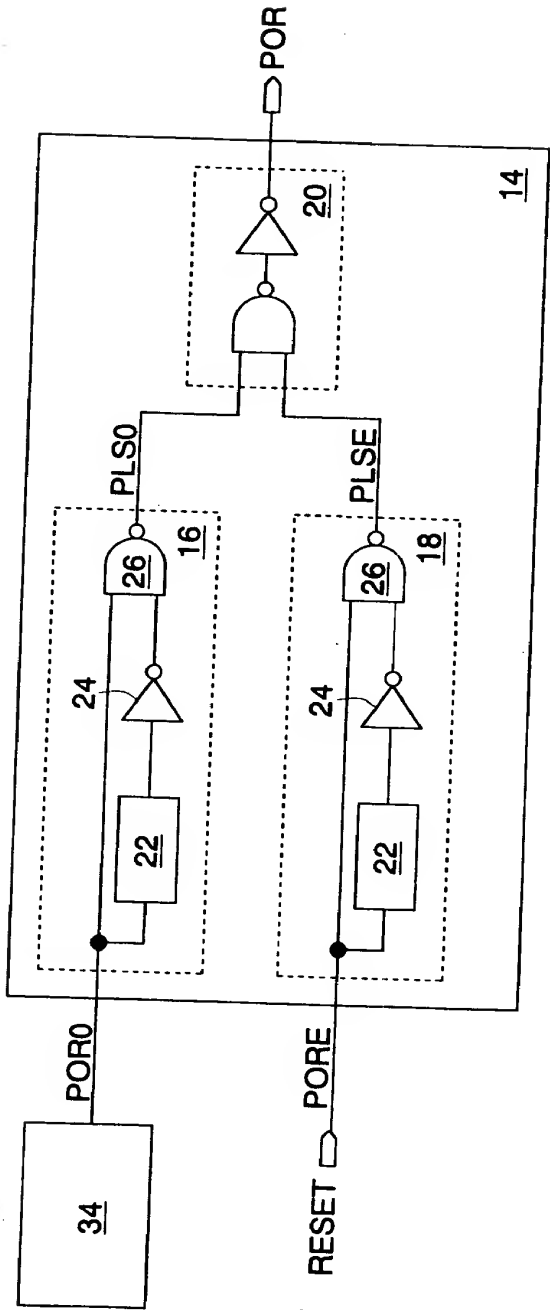
【図 2】



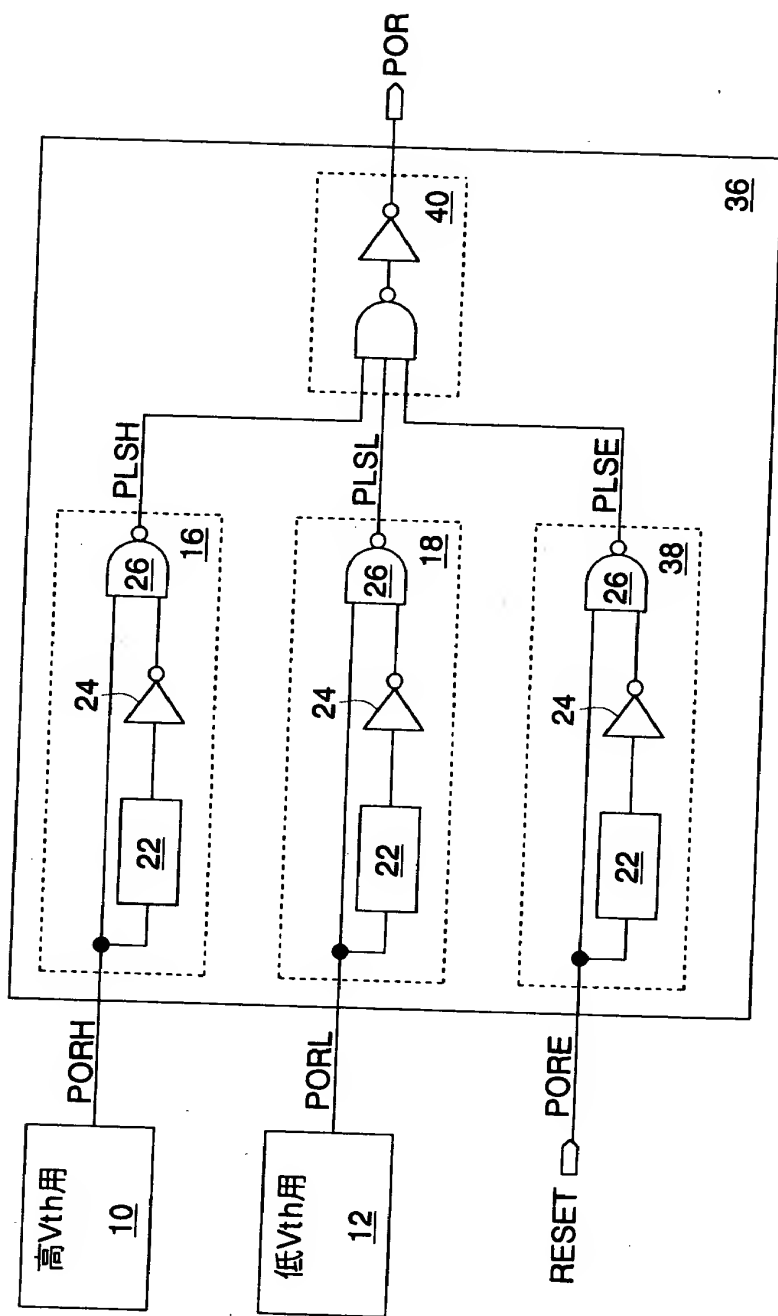
【図 3】



【図 4】



【図 5】



【書類名】 要約書

【要約】

【課題】 本発明は、パワーオンリセット回路を有する半導体集積回路に関し、パワーオンリセット信号を確実に発生させ、内部回路を初期化することを目的とする。

【解決手段】 副リセット信号生成回路は、タイミングの異なる副パワーオンリセット信号をそれぞれ生成する。主リセット信号生成回路は、副パワーオンリセット信号の少なくともいずれかに基づいて、主パワーオンリセット信号を生成する。このため、半導体集積回路の製造条件の変動等により、半導体集積回路を構成する素子の特性が変動した場合にも、副パワーオンリセット信号のいずれかは、正常なタイミングで生成される。この結果、主リセット信号生成回路は、正常な副パワーオンリセット信号を用いて主パワーオンリセット信号を生成できる。すなわち、動作余裕の広いパワーオンリセット回路を構成でき、内部回路を確実に初期化できる。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日	1996年 3月26日
[変更理由]	住所変更
住 所	神奈川県川崎市中原区上小田中4丁目1番1号
氏 名	富士通株式会社